

ディスプレイコントローラ アプリケーションマニュアル

(Chimei Innolux Corporation 製
LCD パネルインタフェース)

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

©SEIKO EPSON CORPORATION 2012, All rights reserved.

目次

1. 概要.....	2
2. ディスプレイコントローラの接続性について	2
3. AT070TN94 とディスプレイコントローラとの接続.....	3
3.1 AT070TN94 の端子配列.....	3
3.2 AT070TN94 接続例.....	4
3.2.1 AT070TN94 とS1D13513 の接続.....	4
3.2.2 AT070TN94 とS1D13517 の接続.....	6
3.3 AT070TN94 レジスタ設定例.....	9
改訂履歴	11

1. 概要

本書では、Chimei Innolux Corporation (以下 CHIMEI) 製 LCD パネルと当社ディスプレイコントローラとの端子接続、および LCD パネルインタフェースに関する主なレジスタの設定例について説明します。

端子、レジスタの詳細仕様については各製品のテクニカルマニュアルを参照してください。

なお、本書は適宜改訂されています。最新版は、

http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm

<http://vdc.epson.com/>

からダウンロードできます。

2. ディスプレイコントローラの接続性について

本書では、下記 CHIMEI 製 LCD パネルと当社ディスプレイコントローラの接続例について説明します。

CHIMEI 製 LCD パネル

- ・ AT070TN94 (TFT 7.0inch, WVGA)

当社ディスプレイコントローラ

- ・ S1D13513 (QFP 208-pin or PBGA 256-pin)
- ・ S1D13517 (QFP 128-pin)

3. AT070TN94 とディスプレイコントローラとの接続

本章では、AT070TN94 と下記ディスプレイコントローラとの接続例について説明します。

- S1D13513
- S1D13517

3.1 AT070TN94 の端子配列

以下に、AT070TN94 のコネクタの端子配列を示します。

表 3-1 AT070TN94 コネクタの端子配列

端子 No.	端子名	端子説明
1	V _{LED+}	Power for LED backlight (Anode)
2	V _{LED+}	Power for LED backlight (Anode)
3	V _{LED-}	Power for LED backlight (Cathode)
4	V _{LED-}	Power for LED backlight (Cathode)
5	GND	Power ground
6	V _{com}	Common voltage
7	DV _{DD}	Power for Digital Circuit
8	MODE	DE/SYNC mode select
9	DE	Data Input Enable
10	VS	Vertical Sync Input
11	HS	Horizontal Sync Input
12	B7	Blue data (MSB)
13	B6	Blue data
14	B5	Blue data
15	B4	Blue data
16	B3	Blue data
17	B2	Blue data
18	B1	Blue data
19	B0	Blue data (LSB)
20	G7	Green data (MSB)
21	G6	Green data
22	G5	Green data
23	G4	Green data
24	G3	Green data
25	G2	Green data
26	G1	Green data
27	G0	Green data (LSB)
28	R7	Red data (MSB)
29	R6	Red data
30	R5	Red data
31	R4	Red data
32	R3	Red data
33	R2	Red data
34	R1	Red data
35	R0	Red data (LSB)
36	GND	Power Ground
37	DCLK	Sample clock
38	GND	Power Ground
39	L/R	Left/right selection
40	U/D	Up/down selection
41	V _{GH}	Gate ON Voltage
42	V _{GL}	Gate OFF Voltage
43	AV _{DD}	Power for Analog Circuit
44	RESET	Global reset pin
45	NC	No connection
46	V _{com}	Common Voltage
47	DITHB	Dithering function
48	GND	Power Ground
49	NC	No connection
50	NC	No connection

AT070TN94 とディスプレイコントローラとの接続

3.2 AT070TN94 接続例

本項では、AT070TN94 と各ディスプレイコントローラとの信号接続について説明します。

3.2.1 AT070TN94 と S1D13513 の接続

下図は、AT070TN94 と S1D13513 の接続例です。

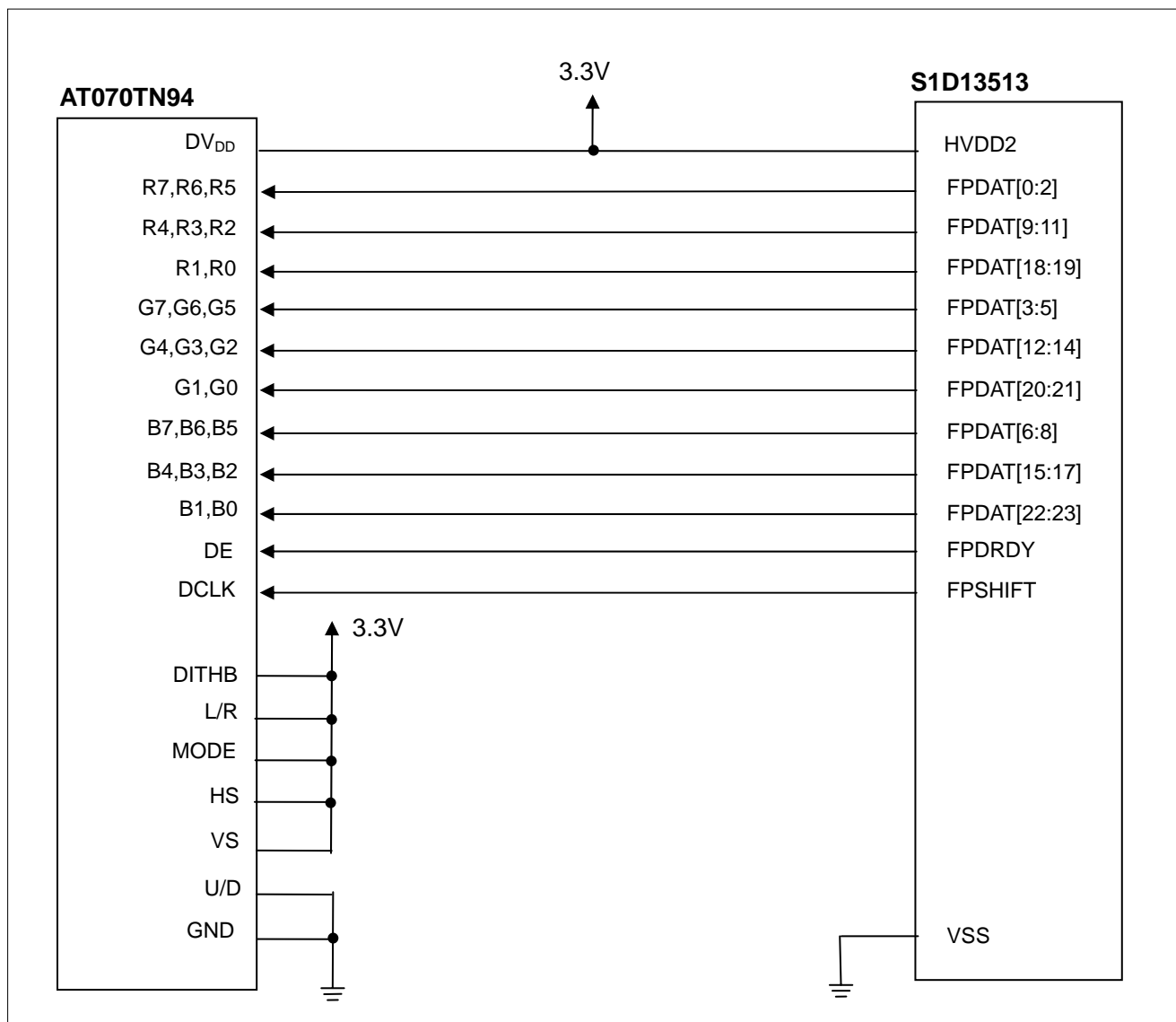


図 3-1 AT070TN94 と S1D13513 の接続

表 3-1 AT070TN94 と S1D13513 との接続

LCD パネル コネクタ 端子 No.	LCD パネル 端子名	LCD パネル端子説明	S1D13513 QFP ピン No.	S1D13513 PBGA ボール No.	S1D13513 端子名
1	VLED+	Power for LED backlight (Anode)	—	—	—
2	VLED+	Power for LED backlight (Anode)	—	—	—
3	VLED-	Power for LED backlight (Cathode)	—	—	—
4	VLED-	Power for LED backlight (Cathode)	—	—	—
5	GND	Power ground	注 1	注 1	VSS
6	Vcom	Common voltage	—	—	—
7	DVDD	Power for Digital Circuit	57,65,75	L5,L8,T6	HVDD2
8	MODE	DE/SYNC mode select	57,65,75	L5,L8,T6	HVDD2
9	DE	Data Input Enable	80	M8	FPDRDY
10	VS	Vertical Sync Input	57,65,75	L5,L8,T6	HVDD2
11	HS	Horizontal Sync Input	57,65,75	L5,L8,T6	HVDD2
12	B7	Blue data (MSB)	68	M6	FPDAT6
13	B6	Blue data	67	K6	FPDAT7
14	B5	Blue data	64	R6	FPDAT8
15	B4	Blue data	55	T2	FPDAT15
16	B3	Blue data	54	P4	FPDAT16
17	B2	Blue data	53	N4	FPDAT17
18	B1	Blue data	注 2	R3	FPDAT22
19	B0	Blue data (LSB)	注 2	K4	FPDAT23
20	G7	Green data (MSB)	71	R7	FPDAT3
21	G6	Green data	70	P7	FPDAT4
22	G5	Green data	69	L7	FPDAT5
23	G4	Green data	60	T5	FPDAT12
24	G3	Green data	59	T4	FPDAT13
25	G2	Green data	56	R4	FPDAT14
26	G1	Green data	注 2	P5	FPDAT20
27	G0	Green data (LSB)	注 2	T3	FPDAT21
28	R7	Red data (MSB)	74	M7	FPDAT0
29	R6	Red data	73	N7	FPDAT1
30	R5	Red data	72	T7	FPDAT2
31	R4	Red data	63	P6	FPDAT9
32	R3	Red data	62	M5	FPDAT10
33	R2	Red data	61	N5	FPDAT11
34	R1	Red data	注 2	R5	FPDAT18
35	R0	Red data (LSB)	注 2	K5	FPDAT19
36	GND	Power Ground	注 1	注 1	VSS
37	DCLK	Sample clock	77	P8	FPSHIFT
38	GND	Power Ground	注 1	注 1	VSS
39	L/R	Left/right selection	57,65,75	L5,L8,T6	HVDD2
40	U/D	Up/down selection	注 1	注 1	VSS
41	VGH	Gate ON Voltage	—	—	—
42	VGL	Gate OFF Voltage	—	—	—
43	AVDD	Power for Analog Circuit	—	—	—
44	RESET	Global reset pin	57,65,75	L5,L8,T6	HVDD2
45	NC	No connection	—	—	—
46	Vcom	Common Voltage	—	—	—
47	DITHB	Dithering function	57,65,75	L5,L8,T6	HVDD2
48	GND	Power Ground	注 1	注 1	VSS
49	NC	No connection	—	—	—
50	NC	No connection	—	—	—

AT070TN94 とディスプレイコントローラとの接続

注 1) S1D13513 の VSS ピン No. は以下のとおりです。

QFP: 10,20,38,58,66,76,92,99,106,120,133,139,151,163,169,175,184,197

BGA: A1,A16,D4,D8,D13,G7-G10,G13,H7-H10,J1,J7-J10,K2,K7-K10,K13,N3,N6,N9,N13,T1,T16

注 2) QFP の場合は、S1D13513 の VSS ピンに接続して下さい。

3.2.2 AT070TN94 と S1D13517 の接続

下図は、AT070TN94 と S1D13517 の接続例です。

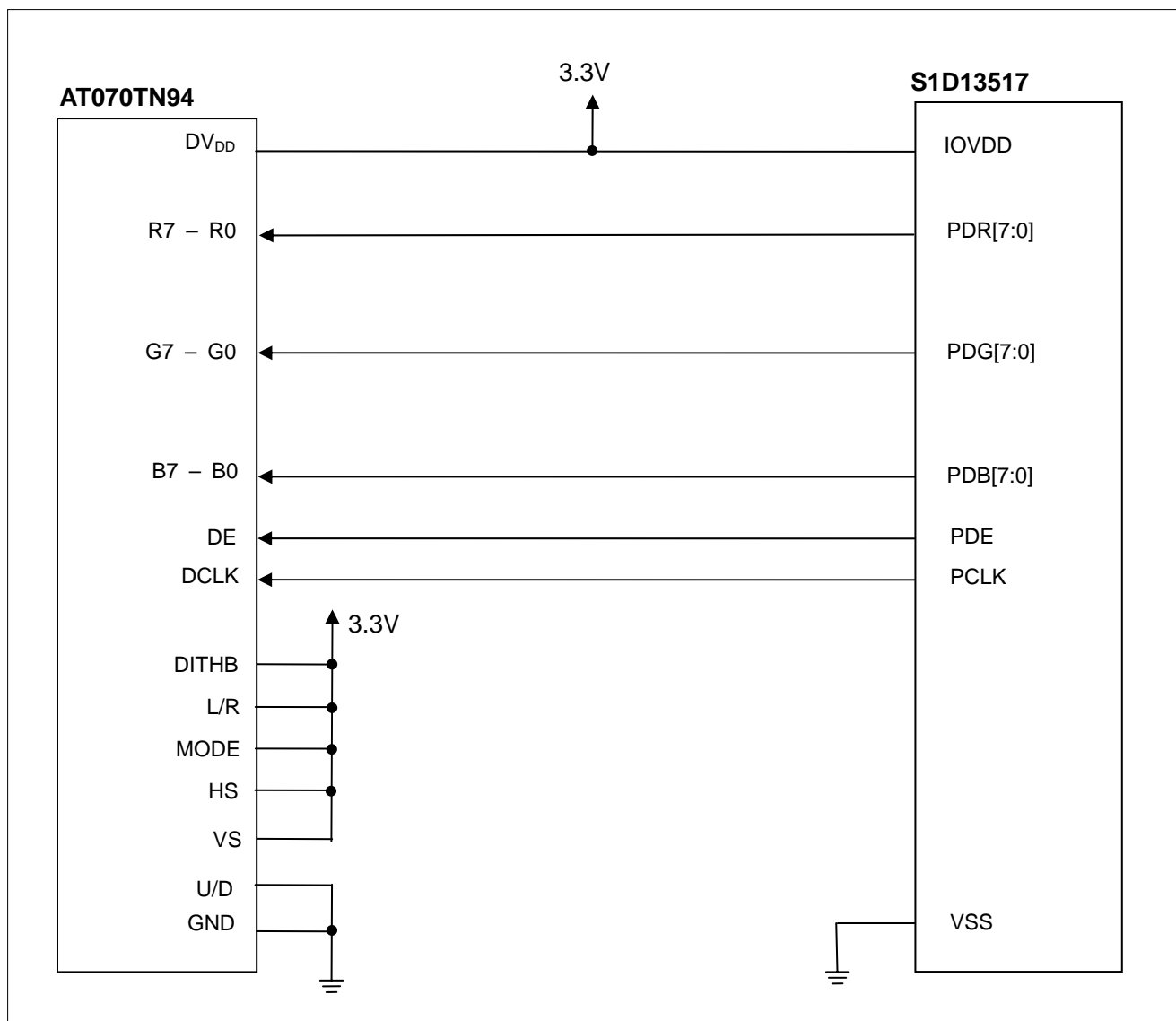


図 3-2 AT070TN94 と S1D13517 の接続

表 3-2 AT070TN94 と S1D13517 との接続

LCD パネル コネクタ 端子 No.	LCD パネル 端子名	LCD パネル端子説明	S1D13517 QFP ピン No.	S1D13517 端子名
1	VLED+	Power for LED backlight (Anode)	—	—
2	VLED+	Power for LED backlight (Anode)	—	—
3	VLED-	Power for LED backlight (Cathode)	—	—
4	VLED-	Power for LED backlight (Cathode)	—	—
5	GND	Power ground	注 1	VSS
6	Vcom	Common voltage	—	—
7	DVDD	Power for Digital Circuit	注 2	IOVDD
8	MODE	DE/SYNC mode select	注 2	IOVDD
9	DE	Data Input Enable	81	PDE
10	VS	Vertical Sync Input	注 2	IOVDD
11	HS	Horizontal Sync Input	注 2	IOVDD
12	B7	Blue data (MSB)	84	PDB7
13	B6	Blue data	85	PDB6
14	B5	Blue data	86	PDB5
15	B4	Blue data	87	PDB4
16	B3	Blue data	88	PDB3
17	B2	Blue data	89	PDB2
18	B1	Blue data	90	PDB1
19	B0	Blue data (LSB)	91	PDB0
20	G7	Green data (MSB)	92	PDG7
21	G6	Green data	93	PDG6
22	G5	Green data	94	PDG5
23	G4	Green data	95	PDG4
24	G3	Green data	98	PDG3
25	G2	Green data	99	PDG2
26	G1	Green data	100	PDG1
27	G0	Green data (LSB)	101	PDG0
28	R7	Red data (MSB)	102	PDR7
29	R6	Red data	103	PDR6
30	R5	Red data	104	PDR5
31	R4	Red data	105	PDR4
32	R3	Red data	106	PDR3
33	R2	Red data	107	PDR2
34	R1	Red data	108	PDR1
35	R0	Red data (LSB)	109	PDR0
36	GND	Power Ground	注 1	VSS
37	DCLK	Sample clock	110	PCLK
38	GND	Power Ground	注 1	VSS
39	L/R	Left/right selection	注 2	IOVDD
40	U/D	Up/down selection	注 1	VSS
41	VGH	Gate ON Voltage	—	—

AT070TN94 とディスプレイコントローラとの接続

LCD パネル コネクタ 端子 No.	LCD パネル 端子名	LCD パネル端子説明	S1D13517 QFP ピン No.	S1D13517 端子名
42	VGL	Gate OFF Voltage	—	—
43	AVDD	Power for Analog Circuit	—	—
44	RESET	Global reset pin	注 2	IOVDD
45	NC	No connection	—	—
46	Vcom	Common Voltage	—	—
47	DITHB	Dithering function	注 2	IOVDD
48	GND	Power Ground	注 1	VSS
49	NC	No connection	—	—
50	NC	No connection	—	—

注 1) S1D13517 の VSS ピン No.は以下のとおりです。

QFP: 1, 17, 24, 32, 48, 54, 65, 80, 97, 114

注 2) S1D13517 の IOVDD ピン No.は以下のとおりです。

QFP: 16, 31, 47, 64, 79, 96, 113, 128

3.3 AT070TN94 レジスタ設定例

本項では、AT070TN94 を表示動作させるための各ディスプレイコントローラの主なレジスタの設定例について説明します。

本項で示す設定例は参考値です。ユーザの仕様・用途に応じて変更してください。

各ディスプレイコントローラのレジスタ設定値の詳細については、テクニカルマニュアルを参照してください。

表 3-2 S1D13513 レジスタ設定

設定項目、レジスタ名	レジスタ設定	設定値
REG[0800h] LCD Panel Type Select Register	0380h	24bpp mode, FPSHIFT polarity is rising edge
REG[0802h] LCD Horizontal Total Register	041Fh	1056
REG[0804h] LCD Horizontal Display Period Register	018Fh	800
REG[0806h] LCD Horizontal Display Period Start Position Register	002Dh	46
REG[0808h] LCD Horizontal Pulse Width	0013h	20
REG[080Ah] LCD Horizontal Pulse Start Position	0000h	0
REG[080Ch] LCD Vertical Total Register	020Ch	525
REG[080Eh] LCD Vertical Display Period Register	01DFh	480
REG[0810h] LCD Vertical Display Period Start Position Register	0017h	23
REG[0812h] LCD Vertical Pulse Width	0009h	10
REG[0814h] LCD Vertical Pulse Start Position	0000h	0
REG[0C1Eh] GPIOH Pin Function Register	0555h	Set GPIO pins for 24bpp mode configuration
PLL2 output frequency in MHz	—	130
REG[0446h] LCD Clock Control Register	0003h	4
FPSHIFT in MHz	—	32.5
LCD Refresh in Hz	—	58.62

表 3-3 S1D13517 レジスタ設定

設定項目、レジスタ名	レジスタ設定	設定値
REG[14h] LCD Panel Type Register	00h	24bpp mode1 (packed), 24bit
REG[16h] Horizontal Display Width Register (HDISP)	63h	800
REG[18h] Horizontal Non-Display Period Register (HNDP)	57h	176
REG[1Ah] Vertical Display Height Register 0 (VDISP)	DFh	480
REG[1Ch] Vertical Display Height Register 1 (VDISP)	01h	—
REG[1Eh] Vertical Non-Display Period Register (VNDP)	0Fh	32
REG[20h] PHS Pulse Width Register (HSW)	13h	20
REG[22h] PHS Pulse Start Position Register (HPS)	82h	130
REG[24h] PVS Pulse Width Register (VSW)	09h	10
REG[26h] PVS Pulse Start Position Register (VPS)	09h	9
REG[28h] PCLK Polarity Register	00h	PCLK polarity is rising edge
REG[04h] PLL D-Divider Register	97h	PLL D-div is 1:24. Input 24MHz -> Output 1MHz
REG[06h] PLL Setting Register 0	51h	PLL output =180MHz
REG[08h] PLL Setting Register 1	01h	PLL clock Divide ratio = 1/2. (180MHz/2)
REG[0Ch] PLL N-Divider Register	59	PLL N-counter 90MHz
REG[0Eh] SS Control Register 0	3Fh	SS disabled
REG[12h] Clock Source Select Register	80h	SYSCCLK = 1/3 (90MHz/3 = 30MHz)
REG[8Ch] SDRAM Refresh Counter Register 0	D1h	Refresh counter 1/30MHz x 465 =15.5us
REG[8Eh] SDRAM Refresh Counter Register 1	01h	—
FPSHIFT in MHz	—	30
LCD Refresh in Hz	—	60.03

改訂履歴

付-1

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev 1.0	2012/6/7	全ページ	新規	新規制定

セイコーエプソン株式会社
マイクロデバイス事業部 IC 営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 412316000
2012年6月作成